

Panorama sobre Técnicas de Escalonamento da Voltagem e da Frequência do Processador em Clusters e Grades

Fábio Weber Albiero¹, Benhur de Oliveira Stein¹, Andrea Schwertner Charão¹

¹Curso de Ciência da Computação – Universidade Federal de Santa Maria (UFSM)
Santa Maria – RS – Brazil

{weber, benhur, andrea}@inf.ufsm.br

1. Introdução

Nossa sociedade apoia-se cada vez mais fortemente na utilização de sistemas computacionais para a realização das mais variadas tarefas. Isso faz com que esses sistemas, em especial os *clusters* e as grades, representem uma fatia crescente da energia global consumida. Dentre os componentes desses sistemas, o que mais consome energia elétrica é o processador.

Considerando que o consumo de energia elétrica de um processador é dado em função da sua voltagem e da sua frequência de operação, é de se esperar que uma redução da frequência provoque uma redução do consumo energético. Neste contexto, existem trabalhos que propõem estratégias de escalonamento dinâmico da voltagem e da frequência, denominadas RDV (Regulagem Dinâmica da Voltagem) ou DVS (*Dynamic Voltage Scaling*). Neste trabalho, realizou-se um *survey* de técnicas DVS para *clusters* e grades.

2. Técnicas de DVS para Clusters e Grades

Em um dos primeiros artigos que descrevem técnicas de escalonamento da voltagem e da frequência, em *clusters* [Elnozahy et al. 2003], são apresentadas as seguintes técnicas: 1) cada nó escalona sua frequência, visando satisfazer a demanda de serviço; 2) a frequência é escalonada em função dos nós vizinhos. O escalonamento é auxiliado por um monitor que computa, periodicamente, a frequência dos nós ativos; 3) os nós são ligados ou desligados conforme a demanda de serviço do *cluster*, não fazendo uso do escalonamento; 4) combina a primeira com a terceira técnica, visando reduzir o consumo de energia no *cluster* e a quantidade de máquinas ativas; e 5) combina a segunda com a terceira técnica.

Na técnica descrita por [Kotla et al. 2005], o escalonamento da frequência depende da velocidade de operação das memórias (memória principal e memória *cache*). O aumento da frequência é limitado pela baixa velocidade das memórias. A relação entre a frequência e a velocidade das memórias determina o ponto de saturação. Caso a velocidade das memórias limite o processamento, uma redução na frequência pode ser efetuada, sem impactar sobre o desempenho.

A técnica seguinte [Kotla et al. 2005] tem a capacidade de predizer o impacto sobre o desempenho ocasionado pela redução ou pelo aumento da frequência. A predição é realizada através do IPC (*Instructions per Cycle*) e é utilizado no algoritmo de escalonamento. O algoritmo percorre os processadores calculando os valores do IPC para cada frequência. O processador com a frequência reduzida é aquele que acarretar o menor impacto sobre o desempenho.

As técnicas de escalonamento descrita por [Herbert 2007] são aplicadas em grandes. Dentre as técnicas encontram-se: o *threshold* e o *greedy*. O *threshold* verifica se prazo de execução das instruções será cumprido. A verificação gera como resultado um valor que é comparado com um par de limiares ($[T_{down}, T_{up}]$). Caso o valor seja inferior ao limiar T_{down} , o processador deve reduzir a frequência; caso o valor seja superior ao limiar T_{up} , o processador deve aumentar a frequência. Quanto ao *greedy*, é uma adaptação do método *greedysearch* [Herbert 2007] e tem como objetivo encontrar o melhor ponto de operação na curva da voltagem vs. frequência.

Por fim, é apresentada uma técnica que utiliza a própria arquitetura do *cluster* [Baniasadi and Moshovos 2002]. Nessa técnica, os nós possuem frequência estática e assimétrica (*Asymmetric-Frequency Cluster*). A arquitetura tem como foco executar as instruções não-críticas no nó com a menor frequência e as instruções críticas no nó com a maior frequência. Heurísticas, baseadas em grafos de dependência ou na previsão do término das tarefas, são utilizadas para determinar o tipo de instrução.

3. Considerações Finais

As técnicas de escalonamento pesquisadas, na sua grande maioria, foram baseadas ou em prazos (em inglês, *deadlines*) ou em intervalos. Nas técnicas baseadas em *deadlines*, o término de execução das tarefas era sempre conhecido. Logo, para reduzir o consumo energético, bastava escalonar a frequência de modo que esta garantisse o término de execução, ou seja, o cumprimento do *deadline*. Já nas técnicas baseadas em intervalos, esse término não era conhecido. Nesse caso, a frequência era definida através de previsões da carga de trabalho para o próximo intervalo.

Além disso, a maior parte das técnicas estudadas fez uso da recuperação de folga, a qual toma proveito do tempo adicional gerado pela não utilização do tempo máximo de execução das tarefas. A recuperação de folga é motivada pela sua facilidade de implementação quando comparada com outras técnicas. Ela pode ser utilizada como ponto de partida para o projeto GREEN-GRID, assim como a utilização de nós com frequência estática e assimétrica.

Referências

- Baniasadi, A. and Moshovos, A. (2002). Asymmetric-frequency clustering: a power-aware back-end for high-performance processors. In *Proceedings of the 2002 international symposium on Low power electronics and design, ISLPED'02*, pages 255–258, New York, NY, USA. ACM.
- Elnozahy, E. N., Kistler, M., and Rajamony, R. (2003). Energy-efficient server clusters. In *Proceedings of the 2nd international conference on Power-aware computer systems, PACS'02*, pages 179–197, Berlin, Heidelberg. Springer-Verlag.
- Herbert, S. (2007). Analysis of dynamic voltage/frequency scaling in chip-multiprocessors. In *International Symposium on Low Power Electronics and Design*.
- Kotla, R., Ghiasi, S., Keller, T., and Rawson, F. (2005). Scheduling processor voltage and frequency in server and cluster systems. In *Proceedings of the 19th IEEE International Parallel and Distributed Processing Symposium (IPDPS'05) - Workshop 11 - Volume 12, IPDPS'05*, pages 234.2–, Washington, DC, USA. IEEE Computer Society.