

# Aplicação de Técnicas de Aumento de Desempenho no Projeto de um Circuito Integrado Digital para Comunicação de Dados

Lúcio Renê Prade<sup>1</sup>, Vitor Righi<sup>1</sup>, Robert Torrel<sup>1</sup>, Rafael Ramos dos Santos<sup>1</sup>

<sup>1</sup>Programa de Pós-Graduação em Sistemas e Processos Industriais  
Universidade de Santa Cruz do Sul

Grupo de Projeto de Sistemas Embarcados e Microeletrônica (GPSEM) – Sala 5341  
Caixa Postal 188 – 96815-900 – Santa Cruz do Sul – RS – Brazil

{lucio,vitorrighi,roberttorrel}@mx2.unisc.br, rsantos@unisc.br

## 1. Introdução

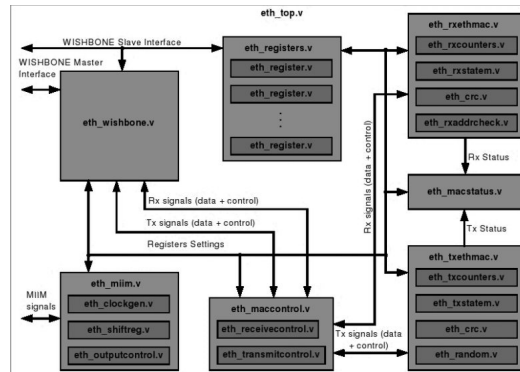
Muitas são as pesquisas desenvolvidas para a otimização de sistemas, diminuição do consumo de potência e aumento do desempenho. No desenvolvimento de sistemas embarcados tais restrições são muito importantes e em alguns casos a substituição de processadores de propósito geral e dos softwares por circuitos de uso específicos -ASIC (*Application Specific Integrated Circuit*) ajuda no desempenho destes sistemas. Adicionando-se a estas técnicas de *low-power* e *timing*, pode-se aumentar ainda mais o desempenho do sistema. Neste trabalho pretende-se mostrar o caso da implementação de um circuito integrado para comunicação de dados em redes *Ethernet* [Tanenbaum 2003] que poderá substituir o MAC (*Media Access Control*) desenvolvido em software. Será realizada a comparação de duas implementações do MAC onde primeiramente somente serão aplicadas as técnicas padrão e posteriormente serão aplicadas as técnicas de otimização.

## 2. O MAC *Ethernet*

O MAC (*Media Access Control*) estudado utiliza o padrão 802.3 [IEEE 2005], conhecido como *Ethernet*, que usa o conceito de colisão chamado CSMA/CD (*Carrier-Sense Multiple Access with Collision Detection*) para comunicação. O *IP Core* utilizado é do repositório Opencores.Org [OpenCores.Org 2007]. A escolha do mesmo foi devido a sua boa documentação e o código descrito utilizando-se linguagem Verilog (linguagem de descrição de hardware, usada para facilitar o *design* de circuitos digitais em FPGAs e ASICs). Na Figura 1 pode-se observar a estrutura do MAC *Ethernet*. Ele é composto por diversos submódulos em verilog que possuem funcionalidades específicas como as filas de recebimento e transmissão de pacotes *eth\_rxethmac* e *eth\_txethmac*, os registradores de configuração e dados *eth\_registers*, a interface de configuração do meio físico *eth\_miim*, a máquina de estados *eth\_maccontrol*, os registradores de *status* *eth\_macstatus* e a interface com o barramento *wishbone* que é largamente utilizado em sistemas embarcados.

## 3. Técnicas de Otimização do Projeto

As técnicas de otimização para projetos de hardware são classificadas em três grupos: técnicas de redução de *timing*, redução de área e redução de potência dissipada. Neste trabalho, utilizou-se apenas dois grupos julgados como os mais importantes para o ganho de desempenho (relação consumo/processamento) que são as técnicas de redução de potência dissipada dentre as quais podemos citar: *clock gating*, inversão de barramento,



**Figura 1. Diagrama de blocos da estrutura do MAC Ethernet utilizado [OpenCores.Org 2007].**

representação de números binários e as técnicas de redução de *timing*: simplificação e replicação lógica [Cummings 2002].

As técnicas de diminuição da potência dissipada empregadas têm como objetivo reduzir a dissipação de potência dinâmica através da redução do número de chaveamento dos transistores. Já as técnicas de redução de *timing* buscam diminuir o nível de encadeamento de lógica fazendo com que a propagação do sinal estável seja mais rápida [Cummings 2001].

#### 4. Resultados

Aplicando-se as duas técnicas de otimização de *timing* aos submódulos do MAC Ethernet, utilizando-se a tecnologia de fabricação tsmc 0.35 e dando especial atenção aos caminhos críticos do circuito, foi possível um incremento da frequência inicial de trabalho de 115 MHz para 132 MHz nas simulações realizadas. A aplicação das técnicas de redução de potência dissipada estão em fase de implementação e análise dos resultados. Após testadas separadamente, pretende-se implementar uma versão do circuito empregando as duas técnicas de otimização e verificar o impacto dessa implementação em relação ao circuito original sem nenhuma otimização.

#### Referências

- Cummings, C. E. (2001). Verilog coding styles for improved simulation efficiency. Sunburst Design, Inc.
- Cummings, C. E. (2002). Verilog-2001 behavioral and synthesis enhancements. Sunburst Design, Inc.
- IEEE (2005). Institute of electrical and electronics engineers, inc., iee 802.3.
- OpenCores.Org (2007). Repositório de ip cores. <http://www.opencores.org>.
- Tanenbaum, A. S. (2003). Redes de computadores. Elsevier Rio de Janeiro.