

PROPOSTA DE UMA ARQUITETURA PARA O TESTE DE CIRCUITOS DIGITAIS

Marco A. B. Hennes, Rafael R. dos Santos

Universidade de Santa Cruz do Sul (UNISC)
Av. Independência, 100 – CEP 96815-900 – Santa Cruz do Sul – RS – Brasil

hennes@mx2.unisc.br, rsantos@unisc.br

1. Introdução

A partir de 2003, quando o governo começou a incentivar a microeletrônica no país (BAMPI,2006), que o segmento de microeletrônica cresce rapidamente a cada dia. No contexto da microeletrônica, está inserido o desenvolvimento de circuitos integrados. As etapas principais do desenvolvimento de um circuito integrado são mostradas na Figura 1.

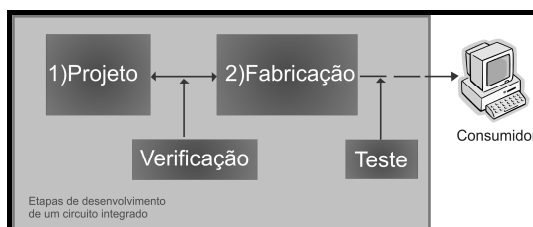


Figura 1: Processo de fabricação de um circuito integrado

De um modo geral, pode-se dividir o projeto de um circuito integrado em dois níveis, o nível de projeto e o de fabricação. O nível de projeto engloba toda a descrição do hardware numa linguagem apropriada e o uso de ferramentas para simulação. Já o nível de fabricação envolve desde a fabricação propriamente dita do circuito integrado até a parte de testes físicos e lógicos. O teste deve verificar se o circuito está de acordo com o projeto, ou seja, se o circuito apresenta um comportamento lógico correto (teste lógico) e se a implementação física do circuito espelha seu esquemático (teste físico).

2. Verificação e teste de circuitos digitais

O teste de circuitos integrados envolve diversas etapas e seu objetivo é identificar e isolar dispositivos falhos. Quando um novo *chip* é projetado, e antes que seja enviado para produção, a primeira etapa deve verificar se o projeto está correto. Se houver algum erro e não for identificado na etapa de verificação, serão desperdiçados recursos financeiros e humanos. Então, com o crescimento da microeletrônica no país com certeza será necessário que sejam criados dispositivos de testes cada vez mais eficientes e de preferência com custos acessíveis as empresas de menor porte.

Quando se trabalha com *design* de circuitos integrados uns dos desafios esta em saber se o *chip* que será fabricado foi projetado de uma maneira adequada. Por isso é necessário que a parte de verificação do projeto esteja correta antes de mandar fabricá-

lo. Mas essa parte de verificação é uma área bastante complexa e difícil de se realizar com uma certeza de 100% de sua eficiência. A verificação se inicia usando simuladores os quais conseguem simular algumas etapas, mas não cobrem e não garantem todas as etapas do projeto do circuito integrado. Além disso, a verificação usando simuladores é muitas vezes mais lento que o teste real do hardware. Para ter-se uma verificação mais confiável é necessário usar uma FPGA a qual pode ser configurada para funcionar como aquele hardware. Com essa análise feita é possível cobrir uma gama muito maior de testes. Um dos testes mais utilizados é o teste estrutural baseado em falhas (LUBASZEWSKI; COTA; KRUG apud MORAES 2006), o qual permite a obtenção de uma medida quantitativa da efetividade do teste (cobertura de falhas). Esse método de teste consiste na aplicação de estímulos de entrada seguido pela observação dos valores das saídas do circuito.

3. A plataforma de teste proposta

Para o desenvolvimento do sistema será usado um microcontrolador da família ARM e uma FPGA para emular o hardware e aumentar a velocidade de simulação. Esse FPGA irá emular um hardware enquanto um ARM será responsável por enviar informações para as entradas do circuito emulado na FPGA e analisar suas saídas. Se o circuito não se comportar como o previsto ele possui defeitos de projeto e será necessário corrigi-lo. Se o resultado da emulação do hardware estiver correta, o circuito integrado está pronto para ser produzido. Após, feita a fabricação do circuito integrado, ainda será possível no mesmo testador ver o hardware funcionando em conjunto com o ARM. Essa parte será desenvolvida para testes reais do ASIC (Application Specific Integrated Circuit). A arquitetura proposta é apresentada na Figura 2.

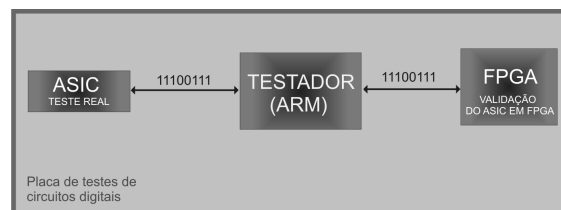


Figura 2: Arquitetura proposta de testador de circuitos integrados

Referências

- Bampi, S. (2006) Tendências Tecnológicas e Oportunidades para a Indústria de Componentes Semicondutores no Brasil – UFRGS.
- Moraes, M. S. STEP: Planejamento, Geração e Seleção de Auto-Teste On-Line para Processadores Embarcados. Universidade Federal do Rio Grande do Sul, Instituto de Informática, 2006.