

Proposta de Avaliação de Memórias *Cache* em Processadores *Multi-Core*

Marco A. Z. Alves¹, Henrique C. Freitas¹, Philippe O. A. Navaux¹

¹Grupo de Processamento Paralelo e Distribuído (GPPD)
Instituto de Informática – Universidade Federal do Rio Grande do Sul (UFRGS)
Caixa Postal 15.064 – 91.501-970 – Porto Alegre – RS – Brasil

{marco.zanata, hcfreitas, navaux}@inf.ufrgs.br

1. Introdução

Durante anos a adoção de processamento paralelo e distribuído tornou a utilização paralela, de aglomerados de máquinas, no principal método para obtenção de processamento de alto desempenho. Porém, com os avanços das tecnologias de integração de circuitos, o futuro aponta para *chips* com múltiplos núcleos de processamento, os chamados CMP (*Chip Multiprocessor*).

Nas áreas de arquitetura e organização de processadores, com o crescente nível de integração de circuitos, os futuros projetos de computadores vão contar com um maior número de recursos físicos em *chip*, dando liberdade para projetos [Olukotun et al. 1996] de processadores com vários núcleos de processamento dentro de um único *chip*.

Entre os fabricantes de processadores, a escolha por determinada hierarquia e organização de memória ainda não é clara, onde pode-se ver no mercado diversos produtos sem uma tendência definida de organização de memória dentro do *chip*.

No trabalho [Marino 2006], foi apresentado o estudo do uso de agrupamentos formados por até 4 núcleos compartilhando a memória *cache* L2 em um *chip* multiprocessado, e ainda, foram apresentados resultados com variações no tamanho da memória *cache* L2 compartilhada. Com relação aos resultados, o aumento do número de processadores por grupo compartilhando memórias *cache* maiores apresentou ganho de desempenho na maioria das aplicações do *benchmark* testado.

A proposta [Zahran 2003] trás o objetivo de responder qual é a hierarquia de memória ideal para *chip* multiprocessado. Assim, apresenta quatro organizações de memória *cache*, além de vários protocolos de coerência, a fim de estudar o comportamento das arquiteturas propostas. Sob a carga de trabalho utilizada, o trabalho conclui que a melhor forma de organização de memória é o uso de memórias *cache* privadas nos níveis L1 e L2 combinado com o uso de um bom protocolo de coerência no nível L2.

Desta maneira, nota-se que a hierarquia de memória *cache* a ser adotada em processadores multiprocessados ainda é uma incógnita, assim como o modelo de compartilhamento dessas memórias entre os núcleos. Demonstrando a importância de trabalhos que avaliem mais a fundo a relação entre processadores multiprocessados e hierarquias de memórias, além de compartilhamento de memórias *cache*.

O objetivo deste artigo é apresentar e ressaltar a importância do tema através de trabalhos relacionados e resultados prévios, além de mostrar as próximas etapas do trabalho que está sendo desenvolvido.

2. Resultados e Desafios

Um resultado sobre o impacto das memórias *cache* em *chips multi-core* é apresentado em [Alves et al. 2007] .

Neste trabalho foi avaliado o desempenho de um sistema simulado, modelado com 32 núcleos RISC, utilizando variados compartilhamentos de memória *cache* entre os núcleos, e medido o desempenho para execução de duas implementações de uma dada aplicação: uma implementação com conjunto de dados agrupados e outra utilizando um conjunto de dados não agrupados.

Pode-se perceber através dos resultados apresentados que a questão de compartilhamento de memória *cache* L2 é bastante relativa ao tipo de aplicação paralela executada. Onde, de acordo com os resultados, a implementação com proximidade dos dados obteve nas simulações adotadas um melhor desempenho conforme aumentou-se o agrupamento dos núcleos de processamento, e a implementação com dados não agrupados não obteve melhora no desempenho para todos os casos conforme aumentou-se o compartilhamento da memória *cache* L2 entre os núcleos de processamento.

Assim, foi concluído que existe uma forte relação entre o tipo de programação adotada, a hierarquia de memória do *chip* e o compartilhamento de memória *cache* para que se possa obter o melhor desempenho.

Porém, existe a necessidade de uma maior generalização das influências das memórias *cache* em *multi-core*, além de um estudo sobre a correlação entre as diversas variáveis que exercem influência no desempenho de memórias *cache* em *chips* multiprocessados, e estes são os objetivos dos trabalhos futuros. Dessa forma, as etapas intermediárias definidas para trabalhos futuros são:

- Avaliar o impacto das diversas arquiteturas e hierarquias de memória *cache* em processadores *multi-core*.
- Avaliar o impacto do compartilhamento da memória *cache* em função do número de núcleos de processamento e de *threads* (diferentes acessos à memória).
- Estudar a correlação entre a hierarquia de memória e diferentes tipos de carga de trabalho.

A meta final é a geração de resultados que possam indicar a forma de extrair maior desempenho no uso de memórias *cache* em processadores *multi-core*, levando em consideração os diversos tipos de programas paralelos, com o intuito de aumentar o desempenho de sistemas computacionais de alto desempenho e a vazão de processamento.

Referências

- Alves, M. A. Z.; Freitas, H. C., Wagner, F. R., and Navaux, P. O. A. (2007). Influência do compartilhamento de cache l2 em um chip multiprocessado sob cargas de trabalho com conjuntos de dados contíguos e não contíguos. In *WSCAD*.
- Marino, M. D. (2006). L2-cache hierarchical organizations for multi-core architectures. In *ISPA*, pages 74–83. IEEE Computer Society.
- Olukotun, K., Nayfeh, B. A., Hammond, L., Wilson, K., and Chang, K. (1996). The case for a single-chip multiprocessor. In *ASPLOS*. IEEE Computer Society.
- Zahran, M. M. (2003). On cache memory hierarchy for chip-multiprocessor. *SIGARCH*, 31:39–48.