Estudo de Estimação de Potência para uma Arquitetura Superescalar com Predicação Dinâmica de Instruções

Eduardo D. Camaratta, Tatiana G. S. Dos Santos, Philippe O. A. Navaux

Universidade Federal do Rio Grande do Sul – Instituto de Informática
Av. Bento Gonçalves, 9500, Porto Alegre, Brasil.
{edcamaratta, tatiana, navaux}@inf.ufrgs.br

Introdução

O desenvolvimento das pesquisas na área de microprocessadores tem mostrado que a utilização de arquiteturas superescalares ainda é a principal alternativa adotada em *pipelines* do estado da arte, mesmo em processadores com tecnologia *multi-core*.

As pesquisas também mostram que o desenvolvimento de novos mecanismos para melhorar o desempenho dessas arquiteturas é limitado pela atual tecnologia. Esse problema é evidenciado pelos atuais níveis de dissipação de calor e potência. Estudos que buscam soluções que resultem em ganho efetivo de desempenho, juntamente com a minimização dos efeitos causados pelas limitações tecnológicas, tem uma crescente importância, sempre buscando a melhoria da razão *performance/watt*.

Desse modo, o objetivo desse trabalho é a realização de um estudo de métodos para estimativa de dissipação de potência, para então aplicá-los às arquiteturas desenvolvidas no grupo APSE (Arquiteturas de Processadores Superescalares).

Arquitetura DCE

A arquitetura DCE (*Dynamic Conditional Execution*) [SAN 03a] foi desenvolvida em um trabalho prévio do grupo APSE. Seu simulador foi implementado a partir do *Sim-Outorder*, um dos simuladores do pacote *Simplescalar* [AUS 02].

A principal característica da arquitetura DCE é a predicação dinâmica de instruções. Cabe ao compilador marcar os desvios qualificados para predicação, de acordo com um conjunto de regras baseadas em um estudo anterior [SAN 03b]. A partir daí, a arquitetura decide, dinamicamente, quais desvios qualificados poderão realmente ser predicados. Essa decisão provoca a execução tanto das instruções referentes ao desvio tomado quanto do desvio não tomado. No momento em que a arquitetura confirma o destino do desvio, são descartadas as instruções referentes ao caminho incorreto. Desvios não predicados estarão sujeitos aos mecanismos de predição.

Sim-Panalyzer

Implementado originalmente sobre o *Sim-Outorder*, o *Sim-Panalyzer* [PAN 06] é uma ferramenta que integra simulação de uma arquitetura superescalar simples com

funções para estimativa da dissipação de potência. Resumidamente, a cada ciclo simulado, um acesso a uma estrutura da arquitetura causará um aumento da estimativa de consumo.

Os cálculos são feitos a partir de informações de mais baixo nível, como a capacitância efetiva dos componentes, ou de nível mais alto, baseados em características da arquitetura, como número de registradores e de linhas da *cache*.

Trabalho Proposto

Fatalmente, arquiteturas com mecanismos muito complexos para melhoria de desempenho são responsáveis por um consumo indesejado. Nesses casos é necessário um estudo detalhado da estimativa da dissipação de potência, identificando estruturas responsáveis por um consumo elevado e propondo soluções para diminuí-lo.

Esse trabalho propõe-se a estudar detalhadamente os mecanismos de cálculo de dissipação de potência oferecidos pelo *Sim-Panalyzer* e a adaptá-los para as arquiteturas do grupo APSE, em especial à arquitetura DCE.

Conclusões e Trabalhos Futuros

Os simuladores *Sim-DCE* e *Sim-Panalyzer* encontram-se funcionais. As facilidades de estimativa de consumo a partir de características de nível alto da arquitetura e a qualidade do isolamento desses cálculos das estruturas do simulador permitem uma fácil adaptação das funções do *Sim-Panalyzer* ao *Sim-DCE*. A adaptação e integração já foram iniciadas.

Ao término dessa fase o *Sim-DCE* possuirá mecanismos para estimar a dissipação de potência a partir de características de alto nível e será possível estimar não só seu consumo total, mas também a sua variação em relação à modificação do número de estruturas da arquitetura, como registradores e tamanho de tabelas.

Os próximos passos envolvem a identificação no *Sim-DCE*, de estruturas responsáveis por um elevado consumo, e caso elas existam, a proposição de soluções para minimizar esses efeitos indesejados.

Referências

[AUS 02] AUSTIN, T.; LARSON, E.; ERNST D. **SimpleScalar:** An infrastructure for computer system modeling. IEEE Computer, 35(2):59–67, Feb. 2002.

[PAN 06] **Sim Panalyzer Project**, http://www.eecs.umich.edu/~panalyzer.

[SAN 03a] SANTOS, R. R. dos. **DCE**: The Dynamic Conditional Execution in a Multipath Control Independent Architecture. PhD thesis, Instituto de Informática, Universidade Federal do Rio Grande do Sul, May 2003.

[SAN 03b] SANTOS, R. R.; SANTOS T. G. S.; PILLA, M. L.; NAVAUX, P. O. A.; BAMPI , S.; NEMIROVSKY, M. **Complex Branch Profiling for Dynamic Conditional Execution**. In Proceedings of the SBAC-pad 2003. São Paulo, 2003. IEEE.